/USER/PETER/0804/2.DRW 30 MAR 94 13:10 last update: 08 JUN 92 10:42

VCC = +5V0

SK1 B01
SK1 A01
SK1 A05
SK1 B07
SK1 B08
SK1 B09
SK1 A10
SK1 A11
SK1 B12
SK1 A12
SK1 A13
SK1 B14
SK1 A14
SK1 B15
SK1 A15
SK1 B16
SK1 A16
SK1 B17
SK1 A17
SK1 B18
SK1 A18
SK1 B19
SK1 A19
SK1 A20
SK1 B21
SK1 A21
SK1 B22
SK1 A22
SK1 B23
SK1 A23
SK1 B24
SK1 A24
SK1 B25
SK1 A25
SK1 A26
SK1 B27
SK1 A27
SK1 B28
SK1 A28
SK1 B29
SK1 A29
SK1 B30
SK1 A30
SK1 B31
SK1 A31
SK1 A32

CONBUS
1
CONBUS

GK
DK
AK
WT
AS
DS
MS0
MS1
AD0
AD1
AD2
AD3
AD4
AD5
AD6
AD7
AD8
AD9

SS1
SS2
RD
MS2
EG
SR
RB
BH
GA0
GA1
GA2
GA3
GA4
-2V0

1
GA(4:0)

1
AD(31:0)

DLA
DRA
DLB
DRB
SK1 B33
SK1 B34
SK1 B35
SK1 B36

SK1 B42

ENV_S
CK1_S
CK4_S
TR0
TR1
TR2
SK1 B46
SK1 B47
SK1 B48

11

ENV_S,CK4_S
1

SK1 B52

SK1 B59
SK1 B60
SK1 B61

SK1 B63
SK1 B64
SK1 B65

GND = 0V

VEE = -5V2

SK1 A33
SK1 A34
SK1 A35
SK1 A36
SK1 A37
SK1 A38
SK1 A39
SK1 A40
SK1 A41
SK1 A43
SK1 A44
SK1 A45
SK1 A46
SK1 A47
SK1 A48
SK1 A49
SK1 A50
SK1 A51
SK1 A52
SK1 A53
SK1 A54
SK1 A55
SK1 A56
SK1 A57
SK1 A58
SK1 A59
SK1 A60
SK1 A61
SK1 A62
SK1 A63
SK1 A64
SK1 A65

AD10
AD11
AD12
AD13
AD14
AD15
TP
1
PE
PA
AD16
AD17
AD18
AD19
AD20
AD21
AD22
AD23
AD24
AD25
AD26
AD27
AD28
AD29
AD30
AD31

WIRULE = 1

VCC (+5V)

F7 4A CHANNELS 12-15 1N4005 D10
F6 4A CHANNELS 8-11 1N4005 D11
F5 4A CHANNELS 4-7 1N4005 D12
F4 4A CHANNELS 0-3 1N4005 D13
F3 1A TEST CIRCUIT 1N4005 D14
F2 4A FASTBUS INTERFACE 1N4005 D15

WIRULE = 2

VEE (-5V2)

F8 4A INPUT RECEIVERS 1N4005 D16
F1 4A FASTBUS INTERFACE 1N4005 D17

WIRULE = 4

	PAGE 2	TRIUMF	
DESIGNED BY:	A.DAVIEL	787 CCD DATA COMPACTOR MOTHER BOARD	
DRAWN BY:	A.DAVIEL		
CHECKED:		MODULE SEGMENT CONNECTOR	
DATE:	APRIL 91		
DWG LIST:	DL-1485	DWG NO: B-13326	REV 2